

(3) Japanese Patent Application Laid-Open No. 10-91116 (1998)

“Method of Driving Plasma Display Panel”

The following is the extract relevant to the present invention:

5 Round waveforms are applied to a X electrode and a Y electrode in polarities
reverse to each other. A W electrode is defined as GND.

(3)

駆動方法
の
動作安定化

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 10 - 9 1 1 1 6

(43) 公開日 平成10年 (1998) 4月10日

(51) Int. Cl. ⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 0 9 G 3/28

G 0 9 G 3/28

E

審査請求 未請求 請求項の数 4

F D

(全 7 頁)

(21) 出願番号 特願平 8 - 2 6 5 5 6 9

(22) 出願日 平成8年 (1996) 9月13日

(71) 出願人 000005016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72) 発明者 徳永 勉

山梨県甲府市大里町465番地 バイオニア
株式会社内

(72) 発明者 小林 謙一

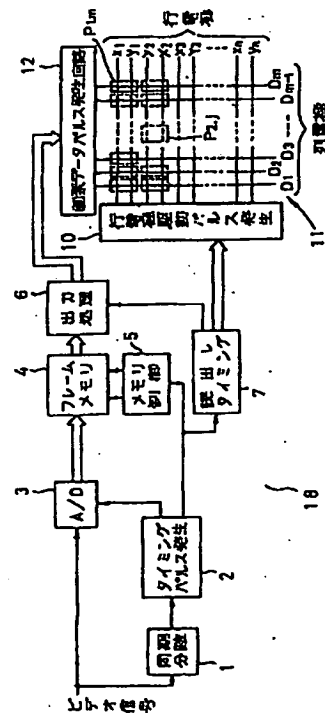
山梨県甲府市大里町465番地 バイオニア
株式会社内

(54) 【発明の名称】 プラズマディスプレイパネルの駆動方法

(57) 【要約】

【課題】 本発明は、マトリクス表示方法の面放電型のプラズマディスプレイパネルの駆動方法に関する。

【解決手段】 面放電型のプラズマディスプレイパネルの駆動方法であって、第1のリセットパルスは、行電極対の内の一方の行電極に印加される所定極性のリセットパルスと、行電極対の内の他方の行電極に同時に印加される所定極性とは逆極性のリセットパルスとからなり、各行電極対の内の一方の行電極と他方の行電極は、奇数ラインと偶数ラインで交互に異なる順番で配置されていることを特徴とするプラズマディスプレイパネルの駆動方法。



【特許請求の範囲】

【請求項1】 複数の行電極対と、前記行電極対に交差して配置された複数の列電極とを有し、前記全ての行電極対間に第1のリセットパルス印加して前記行電極対間に放電を生じさせ壁電荷を形成する一斉リセット期間と、前記行電極対に走査パルス印加するとともに前記列電極に画素データパルス印加して画素データに応じて点灯及び消灯画素を選択するアドレス期間と、前記行電極対に交互に放電維持パルス印加して前記点灯及び消灯画素を維持する維持放電期間とを用いて表示を行うプラズマディスプレイパネルの駆動方法であって、前記第1のリセットパルスは、前記行電極対の内の一方の行電極に印加される所定極性のリセットパルスと、前記行電極対の内の他方の行電極に同時に印加される前記所定極性とは逆極性のリセットパルスとからなり、前記各行電極対の内の前記一方の行電極と他方の行電極は、奇数ラインと偶数ラインで交互に異なる順番で配置されていることを特徴とするプラズマディスプレイパネルの駆動方法。

【請求項2】 前記第1のリセットパルスは、放電維持パルスに比して十分立ち上がり又は立ち下がり時間が長く、前記第1のリセットパルスの終了直後に前記行電極対の内の一方の行電極に前記所定極性とは逆極性の第2のリセットパルス印加することを特徴とする請求項1記載のプラズマディスプレイパネルの駆動方法。

【請求項3】 前記アドレス期間において前記走査パルスの直前に前記行電極対にブライミングパルス印加することを特徴とする請求項1又は2記載のプラズマディスプレイパネルの駆動方法。

【請求項4】 前記維持放電期間において最初に印加される放電維持パルスのパルス幅をそれに続く放電維持パルスのパルス幅に比して長くすることを特徴とする請求項3記載のプラズマディスプレイパネルの駆動方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】 本発明は、マトリクス表示方式の面放電型のプラズマディスプレイパネルの駆動方法に関する。

【0002】

【従来の技術】 プラズマディスプレイパネル（以下PDPと略す）は、周知の如く、薄型の2次元画面表示器の1つとして近時種々の研究がなされており、その1つにメモリ機能を有する交流放電型マトリクス方式のPDPが知られている。図4は、かかるPDPを含むプラズマディスプレイ装置の概略構成を示す図である。

【0003】 かかる図4において、駆動装置100は、入力されたビデオ信号を1画素毎に対応したデジタルの画素データに変換して、この画素データに対応した画素データパルスをPDP11の列電極D1～Dmに印加する。PDP11は、上記列電極D1～Dm、及びかかる

列電極と直交し且つX及びYなる一対にて1行を構成する行電極X1～Xn及びY1～Ynを備えている。これら列電極及び行電極対各々は図示せぬ誘電体を挟んで形成されており、1つの列電極及び行電極対が交差する部分に1つの画素セルが形成される。

【0004】 駆動装置100は、上記PDP11の全ての上記行電極対間に強制的に放電励起せしめて壁電荷を形成（若しくは消去）させるためのリセットパルスPPx及びPPyを発生してこれらをPDP11の行電極X1～Xn及びY1～Yn夫々に印加する。又、駆動装置100は、PDP11に上記画素データを書き込むための走査パルスSP、放電発光を維持するための維持パルスIPx及びIPy、更に、壁電荷を消滅させるための消去パルスEPの各々を発生してこれらのPDP11の行電極X1～Xn及びY1～Ynに印加する。

【0005】 図5は、上記の各種駆動パルスの印加タイミングを示す図である。図5において、先ず、駆動装置100は、負電圧のリセットパルスRPxを全ての行電極X1～Xnに印加すると同時に、正電圧のリセットパルスRPyを行電極Y1～Ynの各々に印加する。かかるリセットパルスの印加によりPDP11の全ての行電極対間に放電が生じる。かかる放電により、各画素セル内において荷電粒子が発生し、その放電終息後に壁電荷が蓄積形成される（一斉リセット期間）。ここで、リセットパルスRPx、RPyは、表示に関係ないリセットパルスによる放電発光を抑え、コントラストを向上させるために立ち上がり時間の長い（長時定数）のパルスを用いている。

【0006】 次に、駆動装置100は、各行毎の画素データに対応した画素データパルスDP1～DPnを順次、列電極D1～Dmに印加する。駆動装置100は、上記画素データパルスDP1～DPn夫々の印加タイミングに同期して走査パルスSPを行電極Y1～Ynへ順次印加して行く。この際、かかる画素データパルスDP、及び走査パルスSPが夫々列電極及び行電極に同時に印加された画素セルにのみ放電が生じて、上記一斉リセットにて形成された壁電荷の大半が消滅する。一方、走査パルスSPが印加されたものの画素データパルスDPが印加されない画素セルにおいては、上述の如き放電が生じないので、上記一斉リセットにて形成された所望量の壁電荷はそのまま残留する。つまり、上記一斉リセットにて形成された所望量の壁電荷は、画素データの内容に応じて選択的に消去されるのである（画素データ書き込み期間）。

【0007】 次に、駆動装置100は、正極性の維持パルスIPxを連続して行電極X1～Xnの夫々に印加すると共に、かかる維持パルスIPxの印加タイミングとは、ずれたタイミングにて正極性の維持パルスIPyを連続して行電極Y1～Ynの夫々に印加する。かかる維持パルスが連続して印加されている期間にわたり上記壁

電荷が残留したままになっている画素セルのみが放電発光を維持する(維持放電期間)。次に、駆動装置100は、消去パルスEPを行電極X1~Xn 夫々に印加することにより、行電極X1~Xn 及びY1~Yn 上に形成された壁電荷を消滅させ、点灯及び消灯画素セルでの壁電荷の状態を略均一にする(壁電荷消去期間)。

【発明が解決しようとする課題】

【0008】ところで、リセットパルスR Px、R Py は、例えば-190V、+165V程度に設定されるため、行電極対間には、355Vといったかなりの高電圧が印加される。そうすると、1の行電極対の一方の行電極、例えば、Y1と1の行電極対に隣接する行電極対の一方の行電極X2との間にも同様にかなりの高電圧が印加され、その結果、隣接する行電極対間で不要な放電が生じることとなる。この不要な放電により、壁電荷の形成状態が均一にならず安定した発光表示が困難となる。本発明は、斯かる問題を解決するためになされたものであり、誤放電のない安定した表示動作が可能なプラズマディスプレイパネルの駆動方法を提供することを目的とする。

【0009】

【課題を解決するための手段】請求項1記載の発明は、複数の行電極対と、行電極対に交差して配置された複数の列電極とを有し、全ての行電極対間に第1のリセットパルスを印加して行電極対間に放電を生じさせ壁電荷を形成する一斉リセット期間と、行電極対に走査パルスを印加するとともに列電極に画素データパルスを印加して画素データに応じて点灯及び消灯画素を選択するアドレス期間と、行電極対に交互に放電維持パルスを印加して点灯及び消灯画素を維持する維持放電期間とを用いて表示を行うプラズマディスプレイパネルの駆動方法であって、第1のリセットパルスは、行電極対の内の一方の行電極に印加される所定極性のリセットパルスと、行電極対の内の他方の行電極に同時に印加される所定極性とは逆極性のリセットパルスとからなり、各行電極対の内の一方の行電極と他方の行電極は、奇数ラインと偶数ラインで交互に異なる順番で配置されていることを特徴とする。

【0010】また、請求項2記載の発明は、請求項1記載のプラズマディスプレイパネルの駆動方法において、第1のリセットパルスは、放電維持パルスに比して十分立ち上がり又は立ち下がり時間が長く、第1のリセットパルスの終了直後に行電極対の内の一方の行電極に所定極性とは逆極性の第2のリセットパルスを印加することを特徴とする。

【0011】また、請求項3記載の発明は、請求項1及び2記載のプラズマディスプレイパネルの駆動方法において、アドレス期間において走査パルスの直前行電極対にブライミングパルスを印加することを特徴とする。

【0012】また、請求項4記載の発明は、請求項3記

載のプラズマディスプレイパネルの駆動方法において、維持放電期間において最初に印加される放電維持パルスのパルス幅をそれに続く放電維持パルスのパルス幅に比して長くすることを特徴とする。

【0013】

【作用】本発明は、複数の行電極対と、行電極対に交差して配置された複数の列電極とを有し、全ての行電極対間に第1のリセットパルスを印加して行電極対間に放電を生じさせ壁電荷を形成する一斉リセット期間と、行電極対に走査パルスを印加するとともに列電極に画素データパルスを印加して画素データに応じて点灯及び消灯画素を選択するアドレス期間と、行電極対に交互に放電維持パルスを印加して点灯及び消灯画素を維持する維持放電期間とを用いて表示を行うプラズマディスプレイパネルの駆動方法であって、第1のリセットパルスは、行電極対の内の一方の行電極に印加される所定極性のリセットパルスと、行電極対の内の他方の行電極に同時に印加される所定極性とは逆極性のリセットパルスとからなり、各行電極対の内の一方の行電極と他方の行電極は、奇数ラインと偶数ラインで交互に異なる順番で配置するようにしたので、隣接する行電極対間で不要な放電が生じることがなく、壁電荷の形成状態が均一化する。

【0014】

【実施例】図1は、本発明による駆動方法にてパネル駆動を行う駆動装置を備えたプラズマディスプレイ装置の構成を示す図である。かかる図1において、同期分離回路1は供給された入力ビデオ信号中から水平及び垂直同期信号を抽出してこれらをタイミングパルス発生回路2に供給する。タイミングパルス発生回路2は、これら抽出された水平及び垂直同期信号に基づいた抽出同期信号タイミングパルスを発生してこれをA/D変換器3、メモリ制御回路5及び読出タイミング信号発生回路7の各々に供給する。A/D変換器3は、上記抽出同期信号タイミングパルスに同期して入力ビデオ信号を1画素毎に対応したデジタル画素データに変換し、これをフレームメモリ4に供給する。

【0015】メモリ制御回路5は、上記抽出同期信号タイミングパルスに同期した書込信号及び読出信号をフレームメモリ4に供給する。フレームメモリ4は、かかる書込信号に応じて、A/D変換器3から供給された各画素データを順次取り込む。また、フレームメモリ4は、かかる読出信号に応じて、このフレームメモリ4内に記憶されている画素データを順次読み出して次段の出力処理回路6へ供給する。読出タイミング信号発生回路7は、放電発光動作を制御するための各種タイミング信号を発生してこれらを行電極駆動パルス発生回路10、及び出力処理回路6の各々に供給する。出力処理回路6は、読出タイミング信号発生回路7からのタイミング信号に同期させて、上記フレームメモリ4から供給された画素データを画素データパルス発生回路12に供給す

る。

【0016】画素データパルス発生回路12は、出力処理回路6から供給される各画素データに応じた画素データパルスDPを発生して上記PDP11の列電極D1～Dmに印加する。行電極駆動パルス発生回路10は、上記PDP11の全ての行電極対間に強制的に放電を励起せしめて後述する放電空間に電荷粒子を発生させるための第1リセットパルスR Px1及びR Py、第2リセットパルスR Px2、上記電荷粒子を再形成させるためのブライミングパルスPP、画素データ書き込みのための走査パルスSP、放電発光を維持するための維持パルスIP x及びIP y、更に上記壁電荷を消滅させるための消去パルスEPの各々を発生して、これらを上記読出タイミング信号発生回路7から供給された各種のタイミング信号に応じたタイミングにてPDP11の行電極X1～Xn及びY1～Ynに印加する。

【0017】PDP11のX、Y電極の配置、順番が奇数ラインと偶数ラインで逆になっているので、例えば1の行電極対の配置をX1、Y1とすると、2の行電極対の配置はY2、X2のように構成しているので、隣接する行電極対間の電位差（この場合はY1とY2）は同極性となり、ほぼ0電位となる。同様に3の行電極対の配置は、X3、Y3となり隣接する2の行電極対間の電位差（この場合はX2とX3）は、上記と同様にほぼ0電位となる。

【0018】図2は、かかるPDP11の構造を示す図である。図2において、表示面である前面ガラス基板20の内面（後述する背面ガラス基板27と対向する面）には、透明電極からなるXY2本の対向する行電極21 X1～Xn及び行電極22 Y1～Ynが夫々形成されている。また、透明電極の抵抗成分を低減するために金属膜からなるバス電極23が設けられ1つの行電極を構成している。これらの行電極は、誘電体層24にて被覆され、更に誘電体層24の上には、MgO（酸化マグネシウム）層25が蒸着されている。MgO層25と背面ガラス基板27との間には放電空間26が形成されている。

【0019】また、背面ガラス基板27には、隔壁28と交互に列電極29 D1～Dmが形成され、表面には3原色のR（赤）、G（緑）、B（青）の蛍光体30が塗布されている。前面ガラス基板20上の行電極21、22と背面ガラス基板27上の列電極29は互いに直交に対向して配置され、放電空間26に蛍光体を励起・発光されるための紫外線を放射するXeと、主放電のためのNeの混合ガスが封入されている。上記行電極22 Y1～Yn及び行電極21 X1～Xnは、X及びYなる一対にて画像の1行を形成するようになっており、この1行分の行電極対Xi、Yi（i=1、・・・、n）と、1つの列電極29 Dj（j=1、・・・、n）とが交差（上面から見て）する部分に1つの画素セルPi、jが

形成される。

【0020】図3は、本発明の駆動方法の実施例にてバネル駆動を行う際にPDP11に印加される各種パルスの印加タイミングを示す図である。図3において、先ず、行電極駆動パルス発生回路10は、立ち上がり時間の長い（長時定数）パルス負電圧の第1リセットパルスR Px1を全ての行電極X1～Xnに印加すると同時に、負電圧の場合と同様に正電圧の第1リセットパルスR Pyを行電極Y1～Ynの各々に印加する。各行電極対間に印加された電位+Vplと電位-Vplとにて生成される電位差が放電開始電圧を越えると、PDP11の全ての行電極対間に放電が励起されて、全画素セルPi、jの放電空間26内に電荷粒子が発生する。

【0021】このリセットパルスは、列電極に比して微弱なものにしているので、全画素セルPi、jの放電空間26内の壁電荷が不均一になるため、行電極X1～Xnに印加される第1リセットパルスR Px1の次の瞬間に正電圧の第2リセットパルスR Px2を挿入している。この第2リセットパルスR Px2に用いる電圧は、第1リセットパルスR Pyとほぼ同一の電圧（略+165V）としている。第2リセットパルスR Px2の印加による放電の終息後、全画素セルの誘電体層24には一様に所定量の壁電荷が形成される（一斉リセット期間）。次に、画素データパルス発生回路12は、各行毎との画素データに対応した正電圧の画素データパルスDP1～DPnを順次、列電極D1～Dmに印加する。

【0022】この際、行電極駆動パルス発生回路10は、上記画素データパルスDP1～DPnの各印加タイミングに同期して、小なるパルス幅の走査パルスSPを行電極Y1～Ynへ順次印加する。ここで、行電極駆動パルス発生回路10は、かかる走査パルスSPを各行電極Y1～Ynの各々に印加する直前に、図3にて示されるが如き正電圧のブライミングパルスPPを行電極Y1～Yn各々に印加する。かかるブライミングパルスPPの印加により、上記一斉リセットにて得られて時間経過と共に減少してしまったブライミング粒子が、放電空間26内に再形成される。よって、放電空間26内に所望量のブライミング粒子が存在する内に、上記走査パルスSPの印加による画素データ書き込みが試されるのである。

【0023】例えば、画素データの内容が論理「0」である場合には、走査パルスSPと共に画素データパルスDPが同時に印加されるので、画素セル内部に形成されている壁電荷は消滅する。一方、画素データの内容が論理「1」である場合には、走査パルスSPのみが印加されるので放電が生じず、その画素セル内部に形成されている壁電荷はそのまま保持される。つまり、かかる走査パルスSPとは、画素セル内に形成されている壁電荷を画素データに応じて選択的に消去せしめるためのトリガとなる選択消去パルスとも言えるのである（画素データ

書き込み期間)。

【0024】次に、行電極駆動パルス発生回路10は、正電圧の維持パルスIPxを行電極X1～Xnの夫々に印加する。次に、かかる維持パルスIPxの印加タイミングとは、ずれたタイミングにて正電圧の維持パルスIPyを行電極Y1～Ynの夫々に印加する。かかる維持パルスが連続して行電極Xi、Yiに交互に印加されている期間にわたり、上記壁電荷が残留したままとなっている画素セルのみが放電発光を維持する(維持放電期間)。尚、この維持放電行程において、最初に、即ち第1番目に行電極に印加される維持パルスIPy、IPx・・・に比してパルス幅を長めに設定してある。この理由を以下に説明する。

【0025】放電が生じると、放電空間内にブライミング粒子が発生するが時間が経過するとともに減少していく。ブライミング粒子の数が減少するほどパルスの印加から最初の放電が生じるまでの時間(放電形成遅れ時間)及び各画素セルの放電開始時間のバラツキ(放電統計遅れ時間)が増大する。すると、維持放電期間の最初に印加される放電維持パルスで放電が生じなくなり、それ以降印加される放電維持パルスによって放電しない可能性が高くなる。そこで、最初に印加される放電維持パルスのパルス幅をそれ以降印加される放電維持パルスより長く、即ち、放電形成遅れ時間、放電統計遅れ時間及び放電そのものに必要な時間の総和より長くすることにより、最初に印加される放電維持パルスで確実に放電を生じさせることが可能となる。

【0026】次に、行電極駆動パルス発生回路10は、消去パルスEPを行電極X1～Xnの夫々に印加することにより、行電極X1～Xn及びY1～Yn上に形成された壁電荷を消滅させ、点灯及び消灯画素セルでの壁電荷の状態を略均一にする(壁電荷消去期間)。以上の如く、かかるプラズマディスプレイパネルの駆動方法においては、全行電極に一斉に、立ち上がりが緩やかな波形を有する第1リセットパルスを印加して一斉リセットを実行し、維持放電行程においては第1番目に行電極に印加する維持パルスのパルス幅を長く設定することによって、パネルを発光表示するようにしている。

【0027】従って、第1リセットパルスの波形が立ち上がりを緩やかにすることによって、リセットパルスの印加による画素セルの発光輝度を小さく抑えることができる。また、行電極駆動パルス発生回路10は、立ち上がり時間の長い(長時定数)パルス負電圧の第1リセットパルスRPx1を全ての行電極X1～Xnに印加すると同時に、次の瞬間に正電圧の第2リセットパルスRPx2を押入したことによって、各画素セルの壁電荷が揃い、列電極に対する電圧余裕度が向上し鮮明な画像表示が得られる。

【0028】また、維持放電期間において、最初に印加

される維持放電パルスのパルス幅をそれ以降印加される放電維持パルスのパルス幅より長くすることによって最初に印加される放電維持パルスによる放電を確実に生じさせることができ、よって、誤放電がなくなり正確な発光表示がなされるのである。尚、上記実施例においては、X、Yなる一対の行電極の片側の電極に正電圧のブライミングパルスPP、続いて負電圧の走査パルスSPを夫々に印加して、これらを行毎に走査するようにしているが、かかる構成に限定されるものではない。

【0029】

【発明の効果】本発明は、複数の行電極対と、行電極対に交差して配置された複数の列電極とを有し、全ての行電極対間に第1のリセットパルスを印加して行電極対間に放電を生じさせ壁電荷を形成する一斉リセット期間と、行電極対に走査パルスを印加するとともに列電極に画素データパルスを印加して画素データに応じて点灯及び消灯画素を選択するアドレス期間と、行電極対に交互に放電維持パルスを印加して点灯及び消灯画素を維持する維持放電期間とを用いて表示を行うプラズマディスプレイパネルの駆動方法であって、第1のリセットパルスは、行電極対の内の一方の行電極に印加される所定極性のリセットパルスと、行電極対の内の他方の行電極に同時に印加される所定極性とは逆極性のリセットパルスとからなり、各行電極対の内の一方の行電極と他方の行電極は、奇数ラインと偶数ラインで交互に異なる順番で配置するようにしたので、隣接する行電極対間で不要な放電が生じることがなく、誤放電のない安定した表示動作が可能となる。

【図面の簡単な説明】

【図1】本発明におけるPDPを含むプラズマディスプレイ装置の構成を示す図。

【図2】本発明に用いられるPDPの構造を示す図。

【図3】本発明におけるPDPの各種駆動パルスの印加タイミングを示す図。

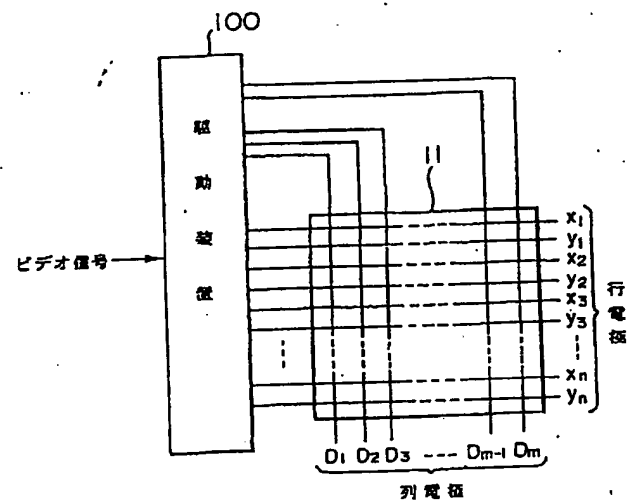
【図4】従来例におけるPDPを含むプラズマディスプレイ装置の構成を示す図。

【図5】従来例におけるPDPの各種駆動パルスの印加タイミングを示す図。

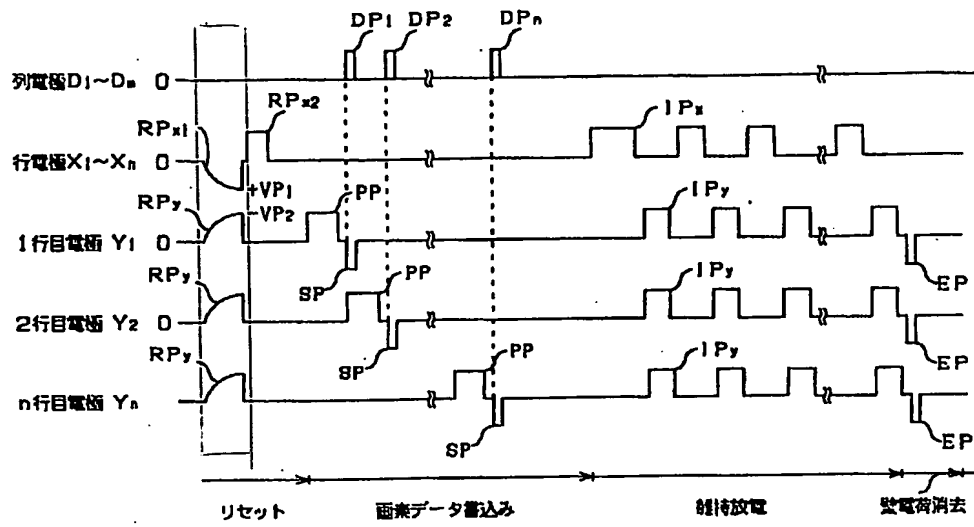
【符号の説明】

- 1・・・同期分離回路
- 2・・・タイミングパルス発生回路
- 3・・・A/D変換器
- 4・・・フレームメモリ
- 5・・・メモリ制御回路
- 6・・・出力処理回路
- 7・・・読出タイミング信号発生回路
- 10・・・行電極駆動パルス発生回路
- 11・・・プラズマディスプレイパネル
- 12・・・画素データパルス発生回路

18



【図3】



【図5】

